

KOREAN PATENT ABSTRACT (KR)

PUBLICATION

(51) IPC Code: G01R31/28

(11) Publication No.: 1998-043645

(43) Publication Date: 5 September 1998

(21) Application No.: 1996-061594

(22) Application Date: 4 December 1996

(71) Applicant:

Samsung Electronics Co., Ltd.

416, Maetan 3-dong, Paldal-gu, Suwon-city, Kyunggi-do, Republic of Korea

(72) Inventor:

OH, CHANG SU

(54) Title of the Invention:

Semiconductor device test apparatus

(57) Abstract:

Provided is a semiconductor device test apparatus, which enables electrical tests and burn-in tests of semiconductor devices. The semiconductor device test apparatus includes a first tester and a second tester, in which programs for testing semiconductor devices are included; a test head 1a and a test head 1b including a socket 1a and a socket 1b, respectively, which are electrically coupled to the first tester; a test head 2a and a test head 2b including a socket 2a and a socket 2b, respectively, which are electrically coupled to the second tester, a first handler for supplying a semiconductor device to the socket 1a and the socket 2a, and a second handler for supplying a semiconductor device to the socket 1b and the socket 2b. The plurality of test heads are mounted in the single handler, and the sockets, which are electrically coupled to different testers, are included in the test head. Thus, a plurality of tests can be simultaneously performed by driving programs included in the plurality of testers.

(19) 대한민국특허청(KR)

(12) 공개특허공보(A)

| | | |
|----------------------------|-------------------------------------------|---------------|
| (51) Int. Cl. ⁶ | (11) 공개번호 | 특 1998-043645 |
| G01R 31 /28 | (43) 공개일자 | 1998년 09월 05일 |
| (21) 출원번호 | 특 1996-061594 | |
| (22) 출원일자 | 1996년 12월 04일 | |
| (71) 출원인 | 삼성전자 주식회사 김광호 | |
| (72) 발명자 | 경기도 수원시 팔달구 매탄동 416번지 오창수 | |
| (74) 대리인 | 충청남도 천안시 쌍용동 주공7단지 206동 1306호 윤동열, 이선희 | |
| 심사청구 : 없음 | | |
| (54) 반도체 디바이스용 테스트 장치 | | |

요약

본 발명은 디바이스에 대한 전기적 테스트 및 번인 테스트를 수행할 수 있는 테스트 장치에 관한 것이다. 이는, 반도체 디바이스를 테스트하기 위한 프로그램이 내장된 제1테스터 및 제2테스터와; 상기 제1테스터에 전기적으로 연결된 제1a소켓 및 제1b소켓을 각각 구비한 제1a테스트 헤드 및 제1b테스트 헤드와; 상기 제2테스터에 전기적으로 연결된 제2a소켓 및 제2b소켓을 각각 구비한 제2a테스트 헤드 및 제2b테스트 헤드와; 제1a소켓 및 제2a소켓에 반도체 디바이스를 공급하는 제1핸들러와 제1b소켓 및 제2b소켓에 반도체 디바이스를 공급하는 제2핸들러로 이루어진 테스트 장치에 의하여 달성된다. 따라서, 본 발명에 따르면, 하나의 핸들러에 복수개의 테스트 헤드가 장착되고 이러한 테스트 헤드에는 상이한 복수개의 테스터에 각각 전기적으로 연결된 소켓이 구비됨으로서 복수개의 테스트에 내장된 프로그램이 가동됨으로서 반도체 디바이스에 대한 테스트가 동시에 수행되어 테스트 효율을 향상시킬 수 있다.

대표도

도3

영세서

도면의 간단한 설명

도 1은 일반적인 반도체 디바이스용 테스트 장치를 개략적으로 도시한 블록도.

도 2는 종래 일실시예에 따른 반도체 디바이스용 테스트 장치를 개략적으로 도시한 블록도.

도 3은 본 발명에 따른 반도체 디바이스용 테스트 장치를 개략적으로 도시한 블록도.

도면의 주요 부분에 대한 부호 설명

310. 제1테스터311. 제1a테스트 헤드

312. 제1b테스트 헤드320. 제2테스터

321. 제2a테스트 헤드322. 제2b테스트 헤드

330. 제1핸들러340. 제2핸들러

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 디바이스에 대한 전기적 테스트 또는 번인 테스트를 수행하는 테스트 장치에 관한 것으로, 특히 복수개의 테스트에 대응하여 전기적으로 연결된 테스트 헤드가 하나의 핸들러에 장착되어서 테스트 효율을 향상시킬 수 있는 테스트 장치에 관한 것이다.

일반적으로, 전자 장치가 경박 단소화되는 추세에 부응하기 위하여 VLSI 등과 같은 집적 회로 제조 공정 기술 및 디자인 기술의 현저한 발전으로 집적도가 증가되고 다기능화 및 고기능화된 반도체칩이 개발되었으며, 이러한 반도체칩을 외부 환경으로부터 보호하거나 또는 인쇄 배선 기판 등에 용이하게 실장시키기 위한 반도체 패키지 기술의 개발이 요구되었다.

한편, 전자 장치의 다기능화, 고출력화 및 고속화 추세에 부응하기 위하여 인쇄 배선 기판에 실장되는 반도체칩의 실장 밀도를 향상시키기 위한 기술이 요구되었으며, 이러한 요구를 만족시키기 위하여 반도체 패키지의 구조는 핀삽입형에서 표면 실장형으로 발전되었고 또한 이에 부가하여 패키지의 크기를 감소시키기 위한 요구를 만족시킬 수 있도록 칩 스케일 패키지(CSP) 또는 노운 굽 다이(KGD)가 제조되었다.

여기에서, DIP(dual-inline package), SIP 및 PGA 등과 같은 핀삽입형 패키지는 반도체칩의 집적도 증가에 따른 핀수의 증가로 인하여 그의 크기가 증가되고, 수십개의 입/출력 단자에 대한 취급이 어렵거나 또는 많은 수의 핀홀을 기판에 형성시켜야 하는 등과 같은 문제점을 야기시킨다. 따라서, 이러한 문제점을 해소시킬 수 있을 뿐만 아니라 전자 장치의 고속화, 다기능화 및 고밀도 실장화 요구를 만족시키기 위하여 SOJ, SOP, TSOP, PLCC 및 QFP 등과 같은 다양한 구조의 표면 실장형 패키지가 개발되었다.

이러한 반도체 패키지는 그의 전기적 신뢰성을 확보하기 위해, 전기적 테스트 또는 번인 테스트를 받게 된다. 즉, 전기적 테스트에 의해서, 반도체칩의 모든 입·출력 단자를 테스트 신호 발생 회로에 연결하여 반도체 패키지에 대한 정상적인 동작 및 단선 여부를 평가하게 된다. 이에 부가하여, 번인 테스트에 의해서, 테스트 신호 발생 회로와 연결된 입·출력 단자에 정상 동작 조건보다 높은 온도, 전압 및 전류 등으로 스트레스를 인가하여 반도체칩의 수명 및 결함 발생 여부를 점검하게 된다. 이러한 테스트를 수행함으로써 반도체 디바이스의 출하전에 결함이 발견된 반도체 디바이스를 검출하여 제거시킴으로써 제품의 신뢰성을 보장하게 된다.

도 1을 참조하면, 상기된 바와 같이 반도체 디바이스에 대한 전기적 테스트 또는 번인 테스트를 수행하는 테스트 장치

는 테스트용 프로그램이 내장되어 있는 테스트(120)와, 반도체 디바이스를 공급하는 이송 수단이 설치된 핸들러(110)로 이루어져 있고, 상기 핸들러(110)에는 상기 테스트(120)에 전기적으로 연결되고 반도체 디바이스가 장착되는 소켓(121a)을 구비한 테스트 헤드(121)가 설치되어 있다.

따라서, 트레이(111)에 담겨져 있는 반도체 디바이스가 상기 이송 수단의 작동에 의하여 상기 소켓(121a)으로 이송되어 로딩된 상태에서 상기 테스트(120)에 내장된 프로그램이 가동되어 상기 반도체 디바이스의 전기적 특성을 테스트하게 된다. 그리고, 테스트가 완료된 반도체 디바이스는 그의 전기적 특성 결과에 따라서 양품 및 불량품으로 분리된 후 상기 이송 수단에 의하여 제1트레이(112) 및 제2트레이(113)로 언로딩된다.

한편, 상기 이송 수단의 작동에 의한 반도체 디바이스의 로딩/언로딩이 이루어지는 동안에 테스트(120)의 작동이 정지됨으로서 반도체 디바이스에 대한 테스트 효율이 저하된다.

따라서, 이러한 문제점을 해소시키기 위한 종래 일실시예가 예시된 도 2를 참조하면, 테스트 장치는 테스트 프로그램이 내장된 하나의 테스트(220)와, 반도체 디바이스를 공급하는 핸들러(210)와, 상기 테스트(220)에 전기적으로 연결되고 반도체 디바이스가 장착되는 2개의 소켓을 각각 구비한 2개의 테스트 헤드(221, 222)로 이루어진다.

따라서, 하나의 테스트 헤드의 소켓에 로딩된 반도체 디바이스가 테스트되는 동안에 다른 하나의 테스트 헤드에 반도체 디바이스를 로딩시키거나 또는 언로딩시킴으로서 반도체 디바이스에 대한 테스트 효율을 향상시킬 수 있다.

그러나, 이러한 테스트 장치에 의하여 2개의 반도체 디바이스를 동시에 테스트할 수 없으므로 복수개의 반도체 디바이스에 대한 전기적 특성을 테스트하기 위하여 많은 시간을 요하게 되고 그 결과 테스트 장치의 테스트 효율이 저하되는 종래의 문제점을 완전하게 해소할 수 없게된다.

발명이 이루고자하는 기술적 과제

상기된 문제점을 해소시키기 위한 일실시예에 따르면, 본 발명의 기술적 과제는 하나의 핸들러에 설치된 테스트 헤드의 소켓에 로딩되는 반도체 디바이스를 테스트하는 효율을 향상시킬 수 있는 반도체 디바이스용 테스트 장치를 제공하는 데 있다.

발명의 구성 및 작용

상기된 기술적 과제를 달성하기 위한 실시예에 따르면, 본 발명은 반도체 디바이스를 테스트하기 위한 프로그램이 내장된 제1테스터 및 제2테스터와; 상기 제1테스터에 전기적으로 연결된 제1a소켓 및 제1b소켓을 각각 구비한 제1a테스트 헤드 및 제1b테스트 헤드와; 상기 제2테스터에 전기적으로 연결된 제2a소켓 및 제2b소켓을 각각 구비한 제2a테스트 헤드 및 제2b테스트 헤드와; 제1a소켓 및 제2a소켓에 테스트하기 위한 반도체 디바이스를 공급하는 제1핸들러와 제1b소켓 및 제2b소켓에 반도체 디바이스를 공급하는 제2핸들러로 이루어진 것을 특징으로 하는 테스트 장치를 제공한다.

본 발명의 실시예에 따르면, 상기 제1핸들러에는 상기 제1a테스트 헤드 및 제2a테스트 헤드가 장착되고 상기 제2핸들러에는 상기 제1b테스트 헤드 및 제2b테스트 헤드가 장착된 것을 특징으로 한다.

이하, 첨부된 도면을 참조하여 본 발명의 바람직한 일실시예를 상세히 설명하면 다음과 같다.

도 3은 본 발명의 실시예에 따른 반도체 디바이스용 테스트 장치를 개략적으로 도시한 구성도이다.

즉, 본 발명의 실시예에 따른 반도체 디바이스용 테스트 장치는 반도체 디바이스를 테스트하기 위한 프로그램이 내장된 제1테스터(310) 및 제2테스터(320)와; 상기 제1테스터(310)에 전기적으로 연결된 제1a소켓 및 제1b소켓을 각각 구비한 제1a테스트 헤드(311) 및 제1b테스트 헤드(312)와; 상기 제2테스터(320)에 전기적으로 연결된 제2a소켓 및 제2b소켓을 각각

구비한 제2a테스트 헤드(321) 및 제2b테스트 헤드(322)와: 제1a소켓 및 제2a소켓에 반도체 디바이스를 공급하는 제1핸들러(330)와 제1b소켓 및 제2b소켓에 반도체 디바이스를 공급하는 제2핸들러(340)로 이루어진다.

여기에서, 상기 제1핸들러(330)에는 복수개의 반도체 디바이스가 적재되어 있는 제1a트레이(331)와 테스트 결과 양부가 판정된 반도체 디바이스가 불량품 및 양품으로 분류되어 각각 적재되는 제1b트레이(332) 및 제1c트레이(333)가 설치되어 있다. 또한, 상기 제2핸들러(340)에는 복수개의 반도체 디바이스가 적재되어 있는 제2a트레이(341)와 테스트 결과 양부가 판정된 반도체 디바이스가 불량품 및 양품으로 분류되어 각각 적재되는 제2b트레이(342) 및 제2c트레이(343)가 설치되어 있다.

그리고, 상기 제1핸들러(330)에는 상기 제1테스터(310)에 전기적으로 연결된 제1a소켓이 내장된 제1a테스트 헤드(311) 및 상기 제2테스터(320)에 전기적으로 연결된 제2a소켓이 내장된 제2a테스트 헤드(311)가 설치된다. 또한, 상기 제1핸들러(330)에는 상기 제1테스터(310)에 전기적으로 연결된 제1a소켓이 내장된 제1a테스트 헤드(311) 및 상기 제2테스터(320)에 전기적으로 연결된 제2a소켓이 내장된 제2a테스트 헤드(311)가 설치된다.

상기 제1핸들러(330)에 장착된 이송 수단(도시되어 있지 않음)의 작동에 의하여 상기 제1a트레이(331)에 적재된 반도체 디바이스가 상기 제1a소켓 및 제2a소켓에 장착된다. 그리고, 상기 제1테스터(310) 및 제2테스터(320)에 내장된 프로그램의 작동에 의하여 상기 반도체 디바이스에 대한 전기적 테스트 또는 번인 테스트를 수행한다.

한편, 상기 제2핸들러(340)에 장착된 이송 수단(도시되어 있지 않음)의 작동에 의하여 상기 제2a트레이(341)에 적재된 반도체 디바이스가 상기 제1b소켓 및 제2b소켓에 장착된다. 그리고, 상기 제1테스터(310) 및 제2테스터(320)에 내장된 프로그램의 작동에 의하여 상기 반도체 디바이스에 대한 전기적 테스트 또는 번인 테스트를 수행한다.

즉, 상기 제1테스터(310)에 내장된 프로그램의 가동에 의하여 상기 제1핸들러(330)의 제1a소켓 및 제2핸들러(340)의 제1b소켓에 장착된 반도체 디바이스가 동시에 테스트되고 또한, 상기 제2테스터(320)에 내장된 프로그램의 가동에 의하여 상기 제1핸들러(330)의 제2a소켓 및 제2핸들러(340)의 제2b소켓에 장착된 반도체 디바이스가 동시에 테스트된다.

한편, 본 발명을 설명하기 위하여 첨부된 도면은 하나의 핸들러에 장착된 2개의 테스트 헤드가 상이한 2개의 테스터에 전기적으로 각각 연결되어 반도체 디바이스에 대한 테스트를 동시에 수행함으로써 디바이스에 대한 테스트 효율을 향상시킬 수 있으며 본 발명의 다른 실시예에 따르면, 하나의 핸들러에 2개 이상의 테스트 헤드가 장착되고 이러한 테스트 헤드는 상이한 2개 이상의 테스터에 각각 전기적으로 연결된다.

이상, 상기 내용은 본 발명의 바람직한 일실시예를 단지 예시한 것으로 본 발명의 당업자는 첨부된 청구 범위에 기재된 본 발명의 요지 및 사상을 변경시킴이 없이 본 발명에 대한 수정 및 변경을 가할 수 있다.

발명의 효과

따라서, 본 발명에 따르면, 하나의 핸들러에 복수개의 테스트 헤드가 장착되고 이러한 테스트 헤드에는 상이한 복수개의 테스터에 각각 전기적으로 연결된 소켓이 구비됨으로서 복수개의 테스트에 내장된 프로그램이 가동됨으로서 반도체 디바이스에 대한 테스트가 동시에 수행되어 테스트 효율을 향상시킬 수 있다.

(57) 청구의 범위

청구항 1. 반도체 디바이스를 테스트하기 위한 프로그램이 내장된 제1테스터 및 제2테스터와;

상기 제1테스터에 전기적으로 연결된 제1a소켓 및 제1b소켓을 각각 구비한 제1a테스트 헤드 및 제1b테스트 헤드와;

상기 제2테스터에 전기적으로 연결된 제2a소켓 및 제2b소켓을 각각 구비한 제2a테스트 헤드 및 제2b테스트 헤드와;

제1a소켓 및 제2a소켓에 반도체 디바이스를 공급하는 제1핸들러와 제1b소켓 및 제2b소켓에 반도체 디바이스를 공급하는 제2핸들러로 이루어진 것을 특징으로 하는 반도체 디바이스용 테스트 장치.

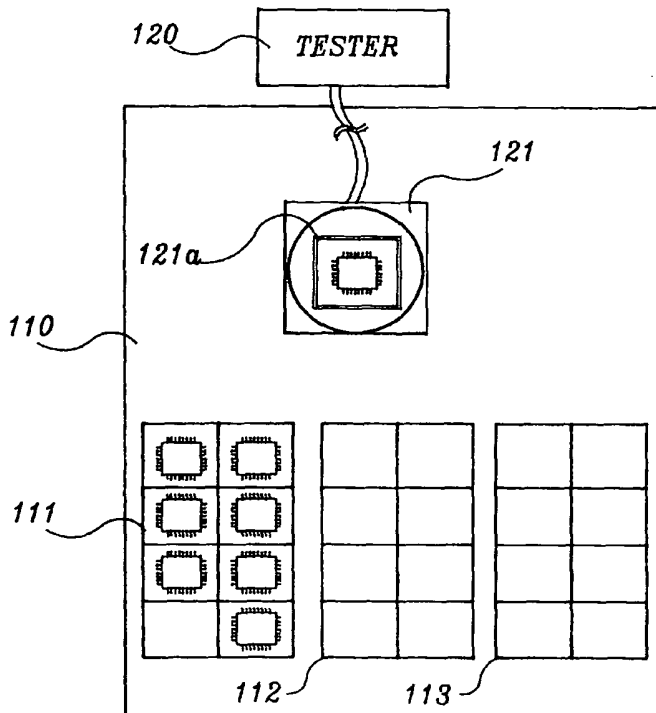
청구항 2. 제1항에 있어서,

상기 제1a테스트 헤드 및 제2a테스트 헤드는 상기 제1핸들러에 장착되고 상기 제1b테스트 헤드 및 제2b테스트 헤드는 상기 제2핸들러에 장착된 것을 특징으로 하는 반도체 디바이스용 테스트 장치.

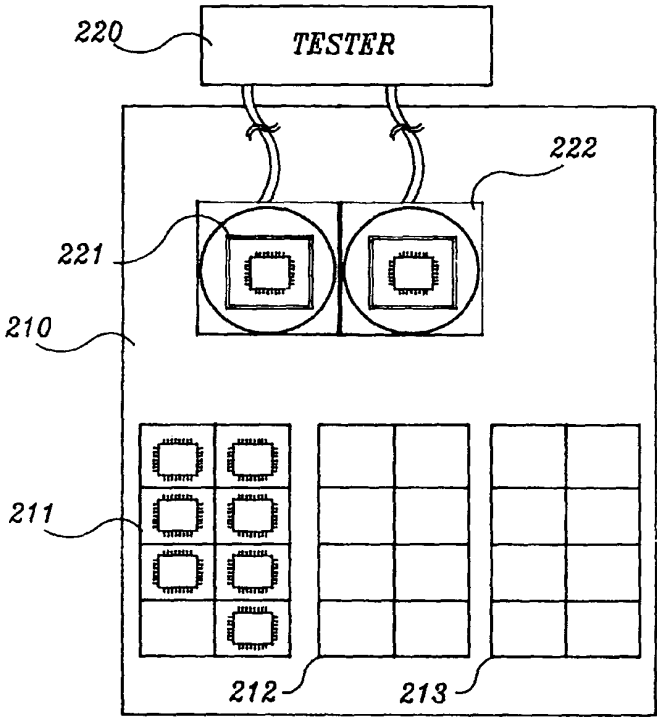
청구항 3. 제2항에 있어서, 상기 제1a소켓 및 제1b소켓은 동시에 테스트가 수행되고 상기 제2a소켓 및 제2b소켓은 동시에 테스트되는 것을 특징으로 하는 반도체 디바이스용 테스트 장치.

도면

도면1



도면2



도면3

